



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Sistemas Embarcados: (ELF74)

## Prof: DaLuz



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## ARM Pdfs adicionais:

<http://www.elf74.daeln.com.br/Pdfs/Arm-Cortex-M4-Processor-Datasheet.pdf>

[http://www.elf74.daeln.com.br/Pdfs/Arm\\_Armv7m\\_Arm.pdf](http://www.elf74.daeln.com.br/Pdfs/Arm_Armv7m_Arm.pdf)

[http://www.elf74.daeln.com.br/Pdfs/Arm\\_Cortex\\_M4\\_r0p0\\_trm.pdf](http://www.elf74.daeln.com.br/Pdfs/Arm_Cortex_M4_r0p0_trm.pdf)

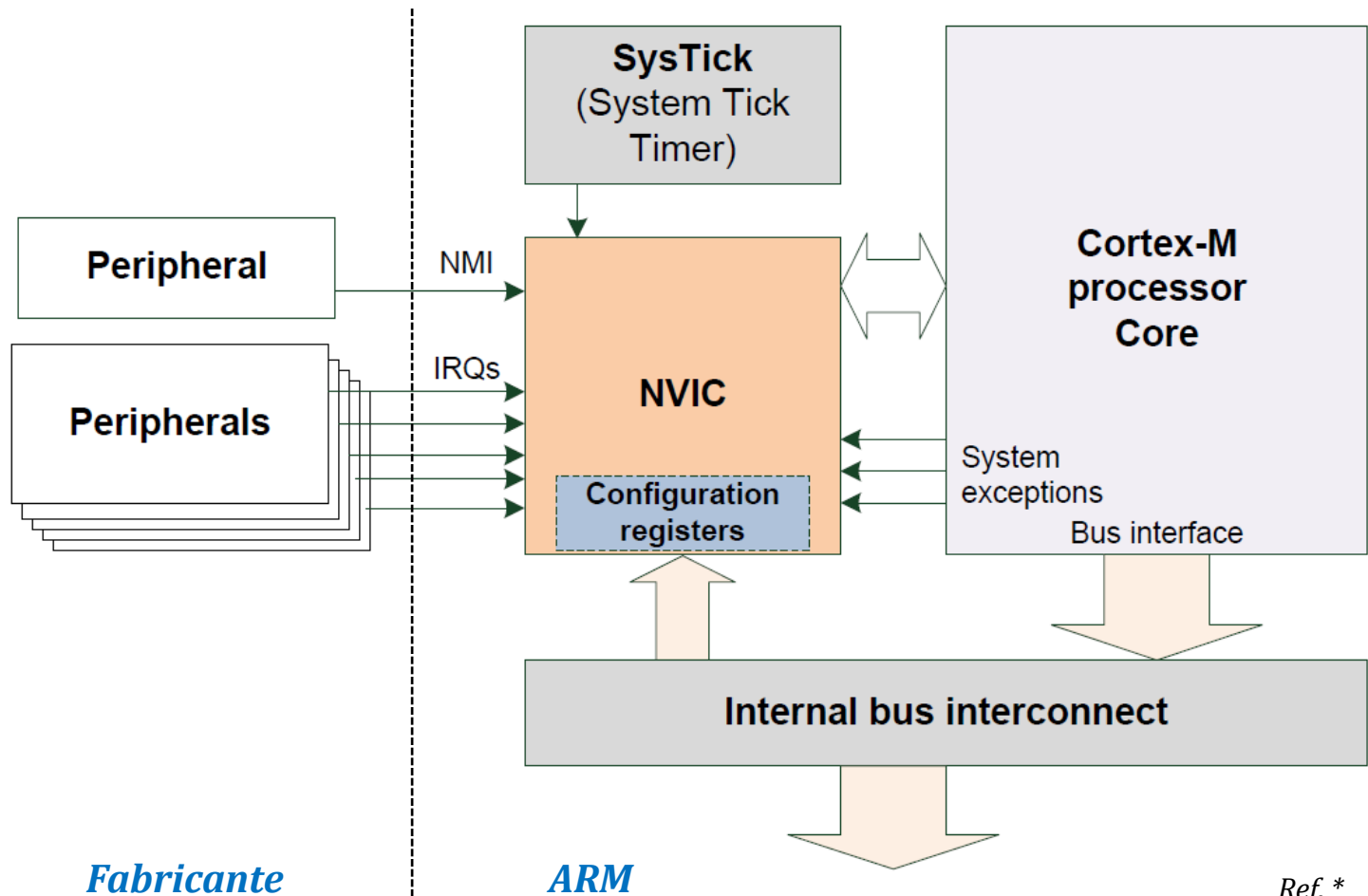
[http://www.elf74.daeln.com.br/Pdfs/Arm\\_Cortex\\_M4\\_r0p1\\_trm.pdf](http://www.elf74.daeln.com.br/Pdfs/Arm_Cortex_M4_r0p1_trm.pdf)



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Cortex-M – Conceção



*Fabricante*

*ARM*

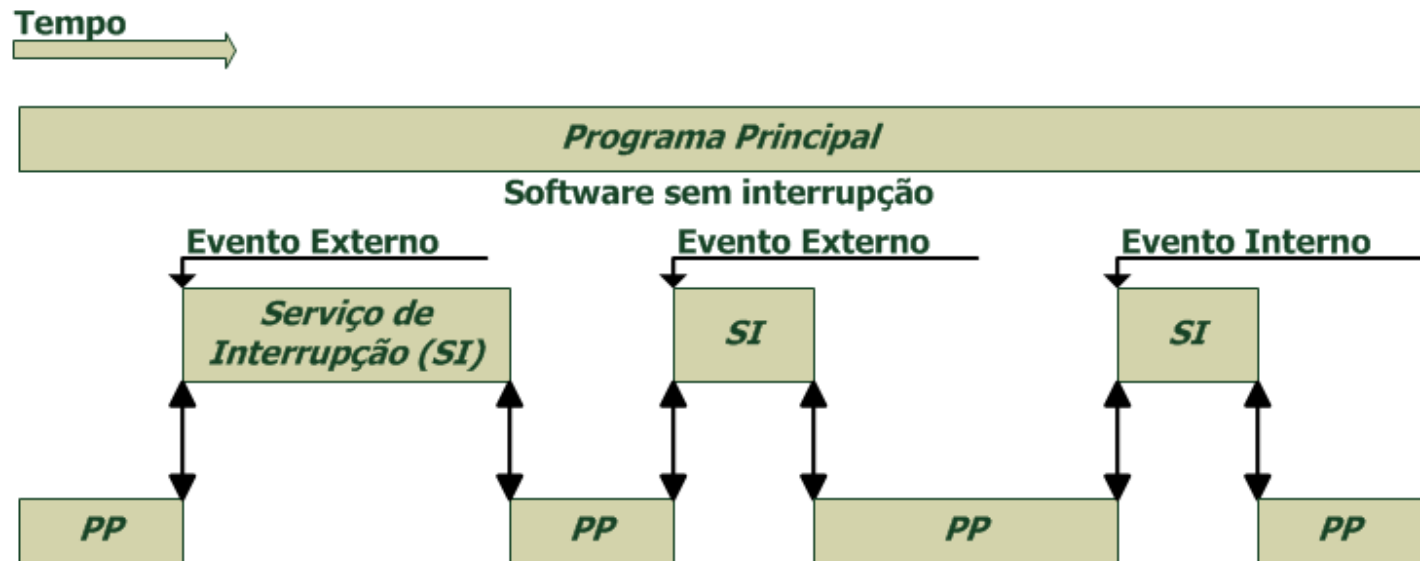
*Ref. \**



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Interrupção – Conceção



Vetorada ou não.

Mascaramento

Prioridade

Origem

Tipo de disparo



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Conceção

Ocorrem normalmente em S.E. (Revisão):

- 📖 **Hardware interrupt**
- 📖 **H. Fault** (erro de barramento, memória, MPU, Priv. x ã. Priv, entre outros)
- 📖 **Disparo de Software**
- 📖 Causam mudanças no fluxo do programa principal **P.P.**, “*sem ele saber*”.



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Conceção

### Definição:

Qualquer evento **interno** ou **externo** que obrigue o microcontrolador a **suspender** o **P.P.** para atender o evento que o interrompeu.

### Para que serve?

Executar uma tarefa **assíncrona**.

### Funcionamento:

O programa é desviado para um outro ponto da memória onde se encontra a rotina de atendimento à interrupção (*exception handler routine* **EHR**, *interrupt service routine* **ISR**, or *interrupt handler* **IH**).

Após executar a **ISR**, o microcontrolador volta ao ponto imediatamente seguinte de onde foi interrompido no **P.P.**

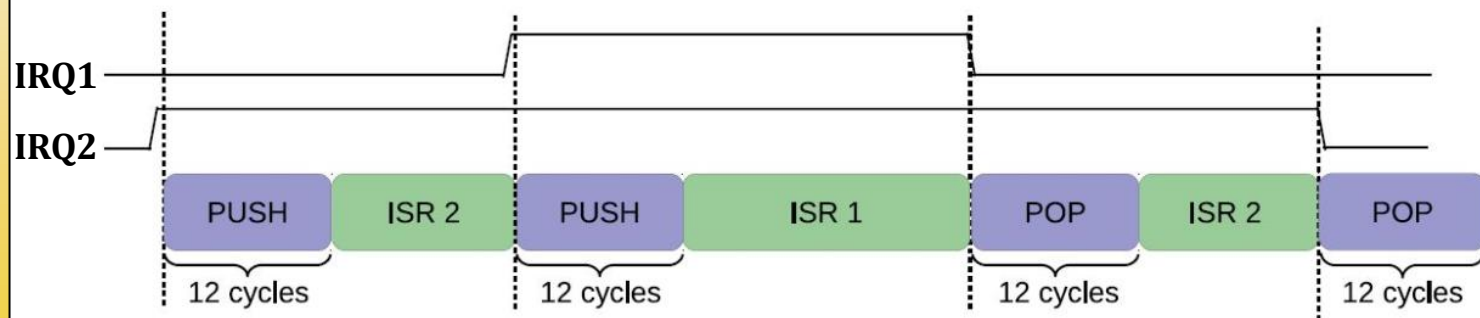


- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Conceção

- ❏ Execução “**Normal - teórico**” de eventos de exceções seguiriam a ordem *abaixo*:
- ❏ “**PUSH**” e “**POP**” de **ISR** também recebem a nomenclatura de “**Troca de Contexto**”



Ref. \*



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Conceção

- ❏ No **Cortex-M** uma exceção **aninhada** (*nested interrupt*) acontece quando uma exceção de **maior** prioridade suspende uma **outra** em execução.
- ❏ A **prioridade** define a ordem de execução caso **duas exceções** aconteçam ao **mesmo** tempo. Ela define também se uma interrupção **pode suspender** outra de menor prioridade.



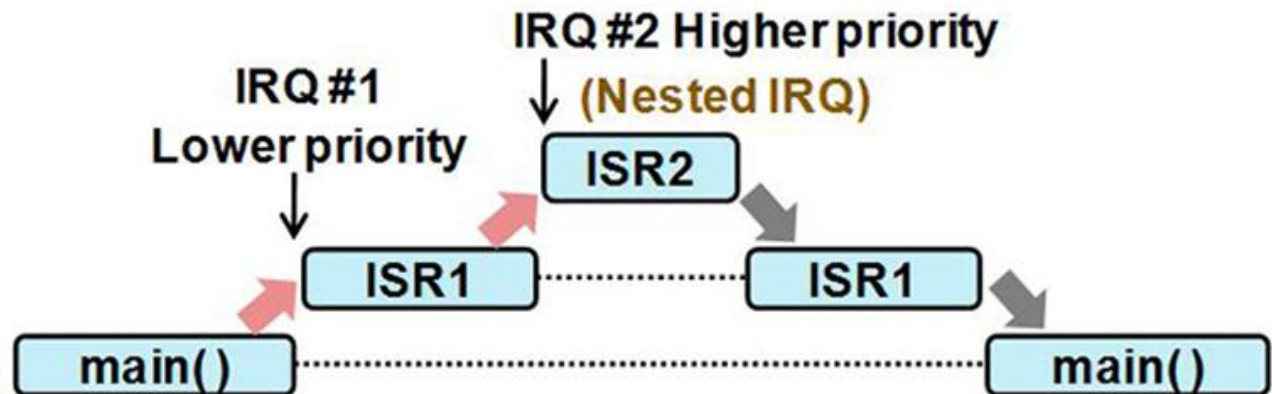


- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Conceção

- Interrupções de *Hardware* são um dos tipos de exceção.
- Elas podem ocorrer de forma **aninhada** (*Nested*) no **Cortex-M**, somente se uma **nova** exceção de prioridade **maior** aconteça.



Ref. \*

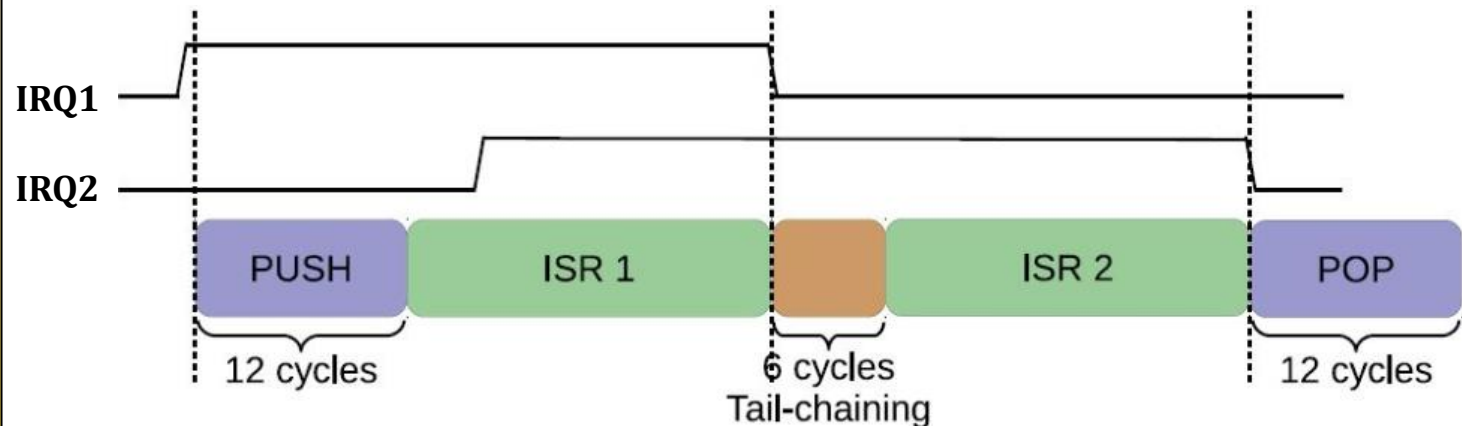


- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Conceção

- Case another event of **mesma prioridade**, there is an optimization of *hardware* called “**tail chaining**”.



Ref. \*

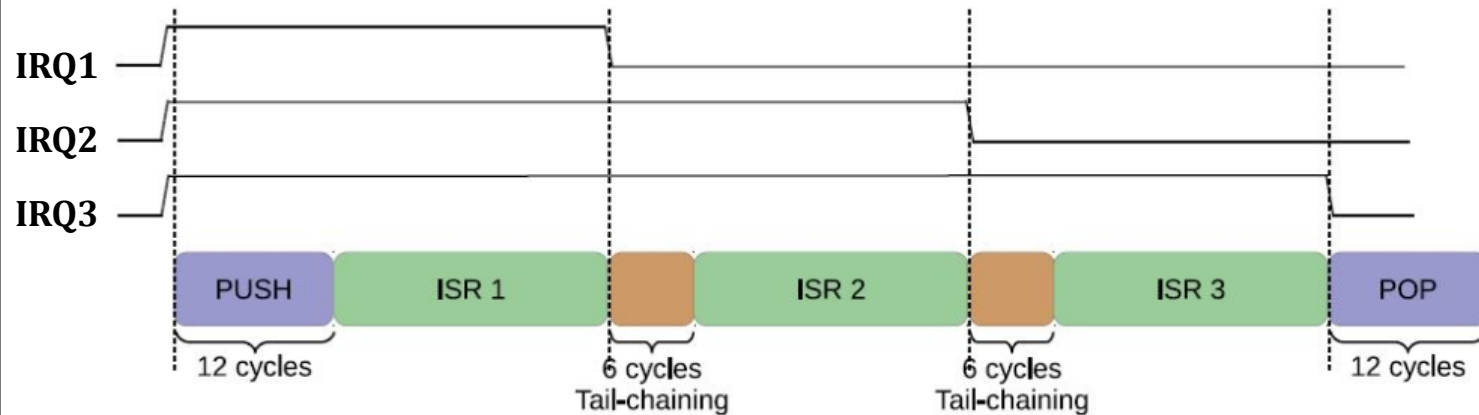


- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Conceção

- Case aconteçam vários eventos de **mesma prioridade**, sempre será executado o “**tail chaining**”.



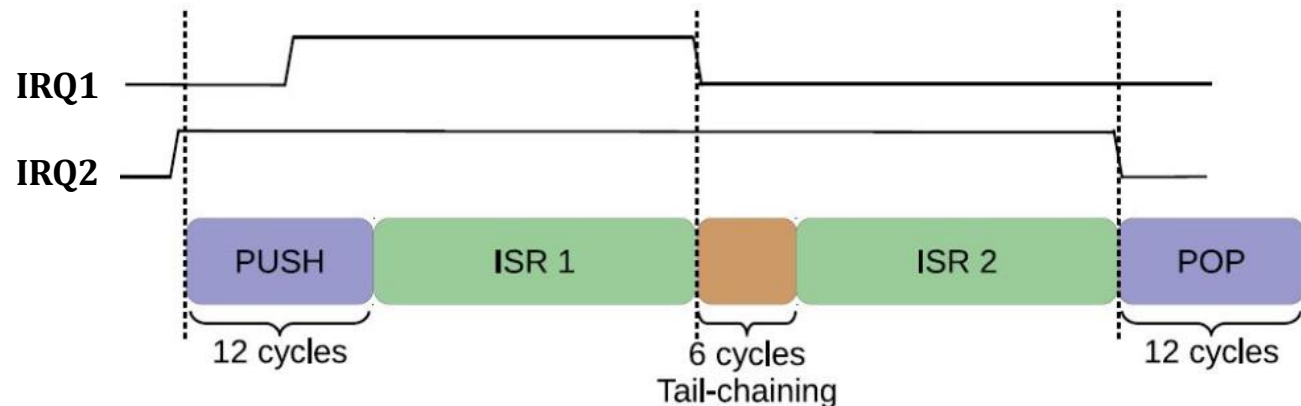
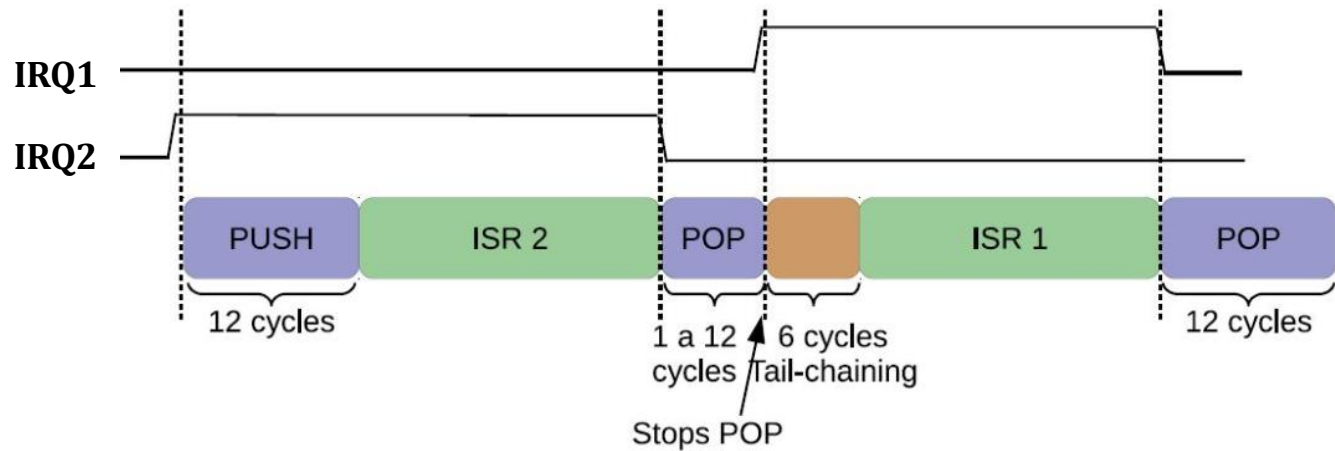
Ref. \*



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Exceções – Tardias



Ref. \*



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Troca de Contexto

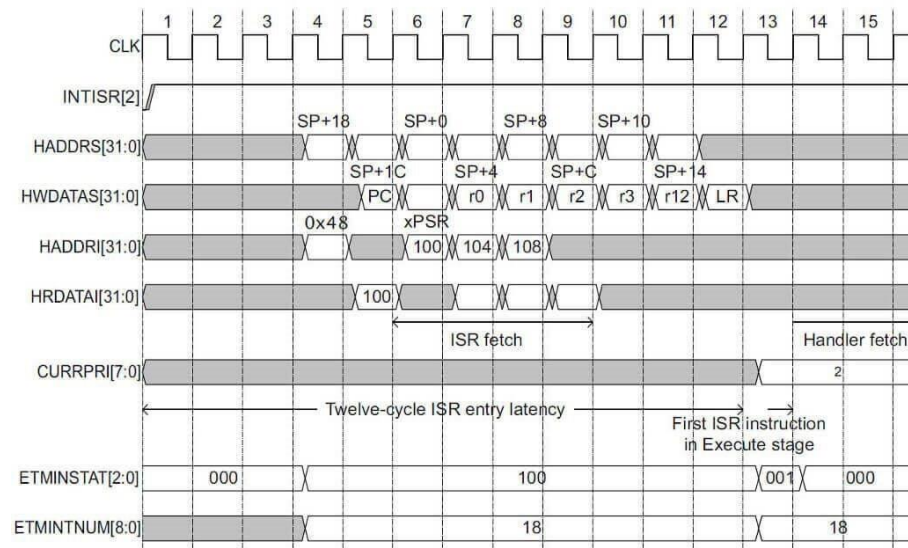
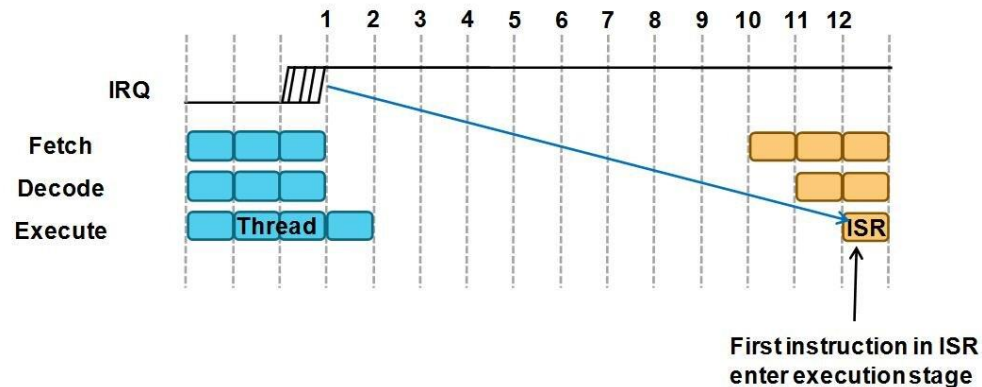
- 1) A **última** instrução em execução é **terminada**.
- 2) O processador entra no modo de **exceção** (modo *handler*) e a execução do programa principal é suspensa. **8 registradores** são empilhados automaticamente na pilha (**R0, R1, R2, R3, R12, LR, PC e PSR** com **R0** no topo).
- 3) **LR** é carregado com um valor específico significando que uma rotina de tratamento de interrupção (**ISR**) está em execução (**bits [31:8]** para **0xFFFFFFFF** e bits **[7:1]** especificam o **tipo** de interrupção, **bit 0** sempre será **1**, *flag T-Cortex-M*).
- 4) Registrador do core **IPSR (xPSR)** é carregado com o número da **exceção**.
- 5) **PC** é carregado com o endereço do **ISR**.



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Troca de Contexto



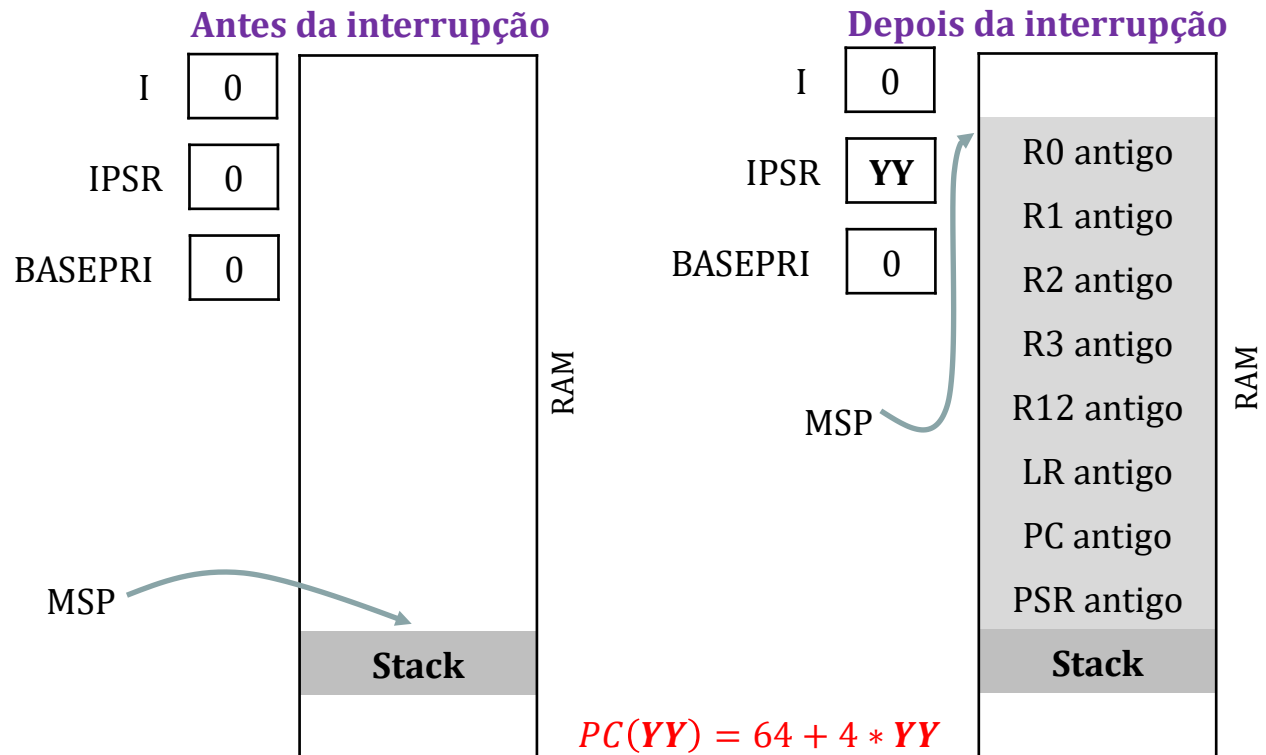
Ref. \*



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Troca de Contexto



a) Termina a última instrução em execução / b) Empilha os registradores(R0, R1, R2, R3, R12, LR, PC e PSR) / c)  $PC=PC(YY)$  / d) Seta  $IPSR=YY$  / e) Seta  $LR=0xFFFFFFFF$  F9⇒ Ao retornar, volta para o modo normal (thread) e usa o MSP como stack pointer.

Ref. \*





- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## NVIC - Capacidades

- Exceções podem ir de **1 a 255** (-14 a 240) (depende do chip).
- 1 a 15** (-14 a 0) – *Exceções de Sistema (Core)*
- 16 a 255** (0 a 240) – *IRQ0 a IRQ239 (Periféricos)*
- O número do vetor da **exceção** é armazenado no **IPSR**

Exception N.	Exception Type	Vector Number	Priority	Address	Activation
0	-	-	-	0x0000.0000	Stack top is loaded from the first entry of the vector table on reset.
1	Reset	-	-3 (highest)	0x0000.0004	Asynchronous
2	Non-Maskable Interrupt (NMI)	-14	-2	0x0000.0008	Asynchronous
3	Hard Fault	-13	-1	0x0000.000C	-
4	Memory Management	-12	programmable	0x0000.0010	Synchronous
5	Bus Fault	-11	programmable	0x0000.0014	Synchronous when precise and asynchronous when imprecise.
6	Usage Fault	-10	programmable	0x0000.0018	Synchronous
7	-	-9	-	-	Reserved
8	-	-8	-	-	Reserved
9	-	-7	-	-	Reserved
10	-	-6	-	-	Reserved
11	SVCall	-5	programmable	0x0000.002C	Synchronous
12	Debug Monitor	-4	programmable	0x0000.0030	Synchronous
13	-	-3	-	-	Reserved
14	PendSV	-2	programmable	0x0000.0038	Asynchronous
15	SysTick	-1	programmable	0x0000.003C	Asynchronous
16 a 255	Interrupts	0 a 240	programmable	0x0000.0040 ...	Asynchronous





- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## NVIC - Capacidades

Memory Address		Exception Number
0x0000004C	Interrupt#3 vector	19
0x00000048	Interrupt#2 vector	18
0x00000044	Interrupt#1 vector	17
0x00000040	Interrupt#0 vector	16
0x0000003C	SysTick vector	15
0x00000038	PendSV vector	14
0x00000034	Not used	13
0x00000030	Debug Monitor vector	12
0x0000002C	SVC vector	11
0x00000028	Not used	10
0x00000024	Not used	9
0x00000020	Not used	8
0x0000001C	Not used	7
0x00000018	Usage Fault vector	6
0x00000014	Bus Fault vector	5
0x00000010	MemManage vector	4
0x0000000C	HardFault vector	3
0x00000008	NMI vector	2
0x00000004	Reset vector	1
0x00000000	MSP initial value	0

Note : LSB of each vector must be set to 1 to indicate Thumb state

Ref. \*



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## NVIC – IRQ0 a IRQ239

Tabela 2.9 pg.116:

[http://www.elf74.daeln.com.br/Pdfs/Datasheet\\_TM4C1294NCPDT\\_v1.01.pdf](http://www.elf74.daeln.com.br/Pdfs/Datasheet_TM4C1294NCPDT_v1.01.pdf)

$$PC(\textit{Vector\_Number}) = 64 + 4 * \textit{Vector\_Number}$$

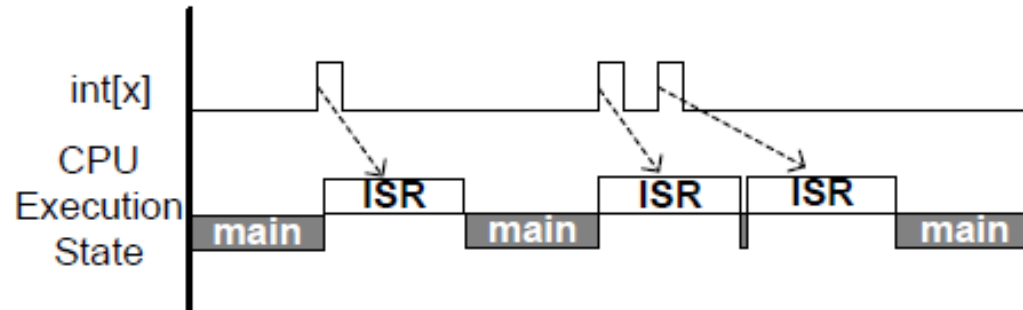


- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

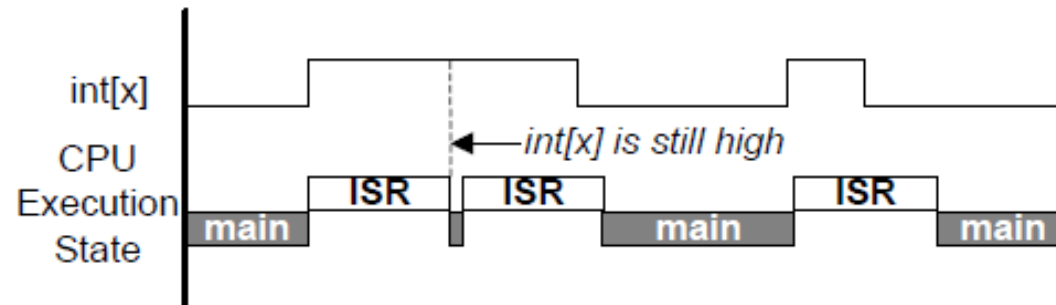
# Arquitetura:

## Ativação: Borda e Nível

### ▣ Borda:



### ▣ Nível:



- ▣ No **Cortex-M4** os **dois** modos são aceitos e necessitam de configuração para alguns periféricos. \*Núcleo **automático**

Ref. \*



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções: Faults e Debug

- ❏ **Hard Fault** – **Erro** de barramento em leituras.
- ❏ **Bus error** – Usualmente acontece quando o **AHB** recebe um **erro** de um barramento escravo (também chamado de **prefetch abort**, ocorre na busca de instruções ou **data abort** quando acessa dados). Também pode ser gerado por acesso ilegal.
- ❏ **Memory management fault** - Violação de **MPU** ou execução de um endereço com atributo **XN** (*eXecute Never*).
- ❏ **Usage Fault** - **Erro** de execução durante um programa: **instrução inválida**.
- ❏ **Debug Monitor** - exceções para **debug** como **breakpoints**, **watchpoints** quando o programa usa o modo **debug** e consultas à memória.



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Exceções: SW

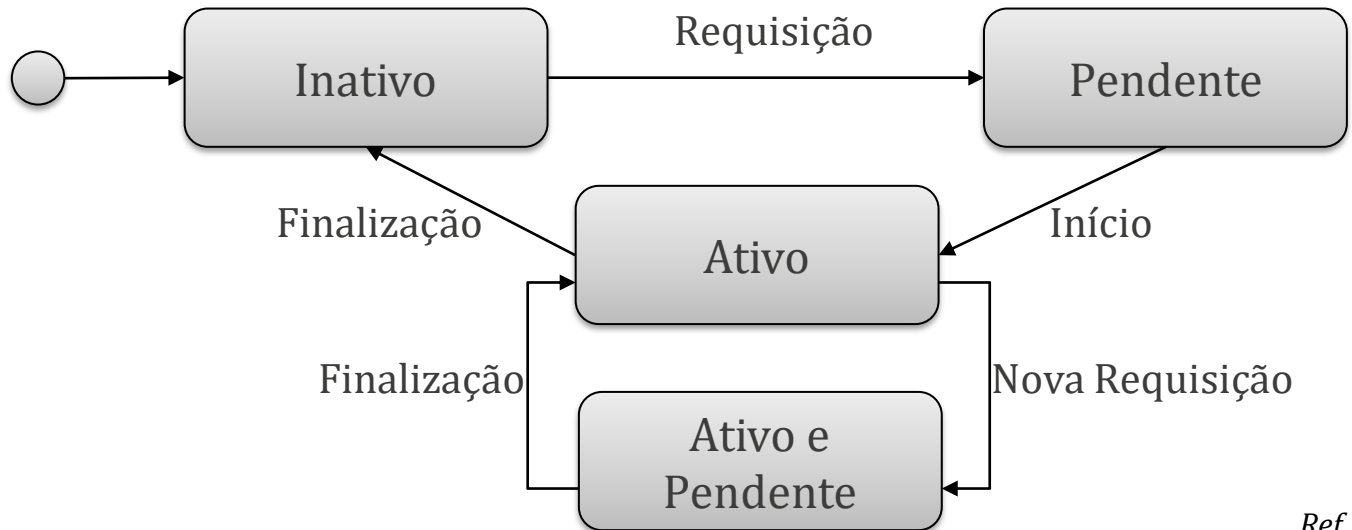
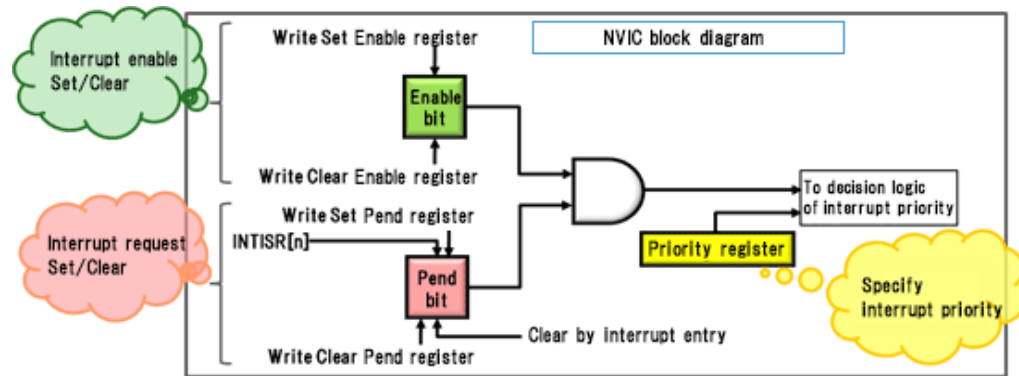
- ❏ **SVC** (*Programmable superVisor Call*) - Usualmente usada por ambiente de **S.O.** para aplicações acessarem os serviços de sistema.
- ❏ **PendSV** (*Pendable Service call*) - Uma exceção usada por um S.O nos processos como **troca de contexto**.
- ❏ As **prioridades** vão do maior para o menor número, ou seja, a maior prioridade é dada para o **menor** número. Prioridades **fixas**: **-3, -2, -1**. Prioridades **programáveis**: **0 a 255** (depende da implementação)
- ❏ Tipos de Handlers: 1) *Interrupt Service Routines (ISRs)*: IRQ0 a IRQ239. 2) **Fault handlers**: *HardFault, MemManage fault, UsageFault e BusFault*. 3) **System handlers**: NMI, PendSV, SVCcall, SysTick e fault exceptions.



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Exceções: Estados



Ref. \*



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

- Existe uma “**chave geral**” para todas as interrupções, que **habilita** ou **desabilita** as interrupções. (**Habilitado** por padrão)
- Registrador do core **PRIMASK** (*flag PM Priority Mask*).  
 Se **PM=0** ⇒ Interrupções **Habilitadas**.  
 Se **PM=1** ⇒ Interrupções **Desabilitadas**.

Registrador: PRIMASK																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reservado																															PM



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

- ❏ O **NVIC** **separa** cada os periféricos em fontes de interrupção.
- ❏ Cada fonte de interrupção pode ser **ativada** ou **desativada** independentemente por **software**.
- ❏ Cada fonte de interrupção pode ter uma prioridade, em que o registrador do núcleo **BASEPRI** bloqueia interrupções com prioridades menores que a configurada.

**Exemplo:** Se **BASEPRI** estiver configurado para **3**, somente pedidos de interrupção com prioridade **0**, **1** ou **2** serão atendidos, para as prioridades superiores ou igual a **3**, ficarão em **espera**, serão **postergadas** (*pending*)

Se **BASEPRI** estiver configurado com **0**, todas as prioridades são permitidas.

Registrador: BASEPRI																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reservado																								BASEPRI							





- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

- ☐ O **NVIC** tem alguns registradores de habilitação de interrupções: *Interrupt Set Enable* ⇒ **ENx**. E outros para desabilitação: *Interrupt Clear Enable* ⇒ **DISx**.
- ☐ Cada fonte de interrupção pode ser **ativada** ou **desativada** independentemente por *software*. A tabela completa está na **pg. 116 – tabela 2.9**

EN0 - Interrupt 0-31 Set Enable - 0xE000E100 - pg. 154																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	
3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0	
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0											

DIS0 - Interrupt 0-31 Clear Enable - 0xE000E180 - pg. 155																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I		
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N		
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T		
3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0		
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0												



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

EN1 - Interrupt 32-63 Set Enable - 0xE000E104 - pg. 154

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
6	6	6	6	5	5	5	5	5	5	5	5	5	5	4	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3
3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2

DIS1 - Interrupt 32-63 Clear Enable - 0xE000E184 - pg. 155

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
6	6	6	6	5	5	5	5	5	5	5	5	5	4	4	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3
3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2

EN2 - Interrupt 64-95 Set Enable - 0xE000E108 - pg. 154

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
9	9	9	9	9	9	8	8	8	8	8	8	8	8	8	7	7	7	7	7	7	7	7	7	7	7	6	6	6	6	6	6
5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4

DIS2 - Interrupt 64-95 Clear Enable - 0xE000E188 - pg. 155

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
9	9	9	9	9	9	8	8	8	8	8	8	8	8	8	8	7	7	7	7	7	7	7	7	7	7	6	6	6	6	6	6
5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

EN3 - Interrupt 96-113 Set Enable - 0xE000E10C - pg. 154																																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
Reservado														I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	
														N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
														T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
														1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
														3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2

DIS3 - Interrupt 96-113 Clear Enable - 0xE000E18C - pg. 155																																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
Reservado														I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I		
														N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
														T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
														1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
														1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6				



- Arquitetura
- Exceções
- **NVIC**
- Systick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

- ☐ O **NVIC** tem também alguns registradores de *pending* de interrupções: *Interrupt Set Pending* ⇒ **PENDx**. E outros para *unpending*: *Interrupt Clear Pending* ⇒ **UNPENDx**.
- ☐ Cada fonte de interrupção pode ser **forçada** para o estado *pending* independentemente por **software**. A tabela completa está na **pg. 116 – tabela 2.9**

PEND0 - Interrupt 0-31 Set Pending - 0xE000E200 - pg. 156																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	
3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	T	T	T	T	T	T	T	T	T	T	
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	

UNPEND0 - Interrupt 0-31 Clear Pending - 0xE000E280 - pg. 157																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I		
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N		
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T		
3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	T	T	T	T	T	T	T	T	T	T		
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0		



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

**PEND1 - Interrupt 32-63 Set Pending - 0xE000E204 - pg. 156**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
6	6	6	6	5	5	5	5	5	5	5	5	5	5	4	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3
3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2

**UNPEND1 - Interrupt 32-63 Clear Pending - 0xE000E284 - pg. 157**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
6	6	6	6	5	5	5	5	5	5	5	5	5	5	4	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3
3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2

**PEND2 - Interrupt 64-95 Set Pending - 0xE000E208 - pg. 156**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
9	9	9	9	9	9	8	8	8	8	8	8	8	8	8	8	7	7	7	7	7	7	7	7	7	7	6	6	6	6	6	6
5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4

**UNPEND2 - Interrupt 64-95 Clear Pending - 0xE000E288 - pg. 157**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
9	9	9	9	9	9	9	8	8	8	8	8	8	8	8	8	7	7	7	7	7	7	7	7	7	7	6	6	6	6	6	6
5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

PEND3 - Interrupt 96-113 Set Pending - 0xE000E20C - pg. 156																																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
Reservado														I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	
														N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
														T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
														1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
														1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6			

UNPEND3 - Interrupt 96-113 Clear Pending - 0xE000E28C - pg. 157																																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
Reservado														I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I		
														N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
														T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
														1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
														1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6				



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

- ☐ O **NVIC** tem também alguns registradores de *Active* de interrupções: *Interrupt Active Bit* ⇒ **ACTIVEx**. Registradores de leitura.
- ☐ A tabela completa está na **pg. 116 – tabela 2.9**

ACTIVE0 - Interrupt 0-31 Active - 0xE000E300 - pg. 158																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	
3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0	
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0											

ACTIVE1 - Interrupt 32-63 Active - 0xE000E304 - pg. 158																																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	
6	6	6	6	5	5	5	5	5	5	5	5	5	4	4	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3	
3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

ACTIVE2 - Interrupt 64-95 Active - 0xE000E308 - pg. 158																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
9	9	9	9	9	9	8	8	8	8	8	8	8	8	8	8	7	7	7	7	7	7	7	7	7	7	6	6	6	6	6	6
5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4

ACTIVE3 - Interrupt 96-113 Active - 0xE000E30C - pg. 158																																													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
Reservado														I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	
														N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
														T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T	T
														1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
														1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6				





- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

- ❏ O **NVIC** tem também alguns registradores de *priority* de interrupções: *Interrupt Priority*  $\Rightarrow$  **PRIx**. Estes vão de **0** a **28**, cada um contendo apenas **8(0-7)** prioridades.
- ❏ Descritos na **pg. 159**

**PRIx: PRI0= 0xE000E400 a PRI28=0xE000470 - Interrupt Priority - pg.159**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INT [ 4n+3 ]			Reservado					INT [ 4n+2 ]			Reservado				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INT [ 4n+1 ]			Reservado					INT [ 4n ]			Reservado				



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Aspectos Essenciais:

- ☐ O **NVIC** tem também o *Software Trigger Interrupt Register* **SWTRIG**. O valor numérico indica a **IRQ**.
- ☐ Descrito na **pg. 163**.

SWTRIG - Software Trigger Interrupt - pg.163															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reservado															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reservado								INTn							



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## NVIC - Registradores

Seção 3.4 pg. 153:

[http://www.elf74.daeln.com.br/Pdfs/Datasheet\\_TM4C1294NCPDT\\_v1.01.pdf](http://www.elf74.daeln.com.br/Pdfs/Datasheet_TM4C1294NCPDT_v1.01.pdf)



- Arquitetura
- Exceções
- **NVIC**
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Condições:

- ☐ Para uma interrupção acontecer  $\Rightarrow$  5 condições
1. Bit **PM** no registrador **PRIMASK** deve ser **0**  $\Rightarrow$  Chave geral ligada;
  2. Fonte de interrupção **habilitada** no **NVIC**;
  3. O prioridade da interrupção deve ser menor que o nível do **BASEPRI**, a menos que BASEPRI seja **0**.  
*Prioridade da interrupção deve ser mais alta.*
  4. A **interrupção** deve estar também **habilitada** no registrador específico do **periférico**;
  5. **Evento** externo da interrupção deve acontecer.



- Arquitetura

- Exceções

- NVIC

- SysTick

- Periféricos

- Referências

# Arquitetura:

## Condições:

☐ Alguns **endereços** das exceções (definidos no **startup.s**)

```

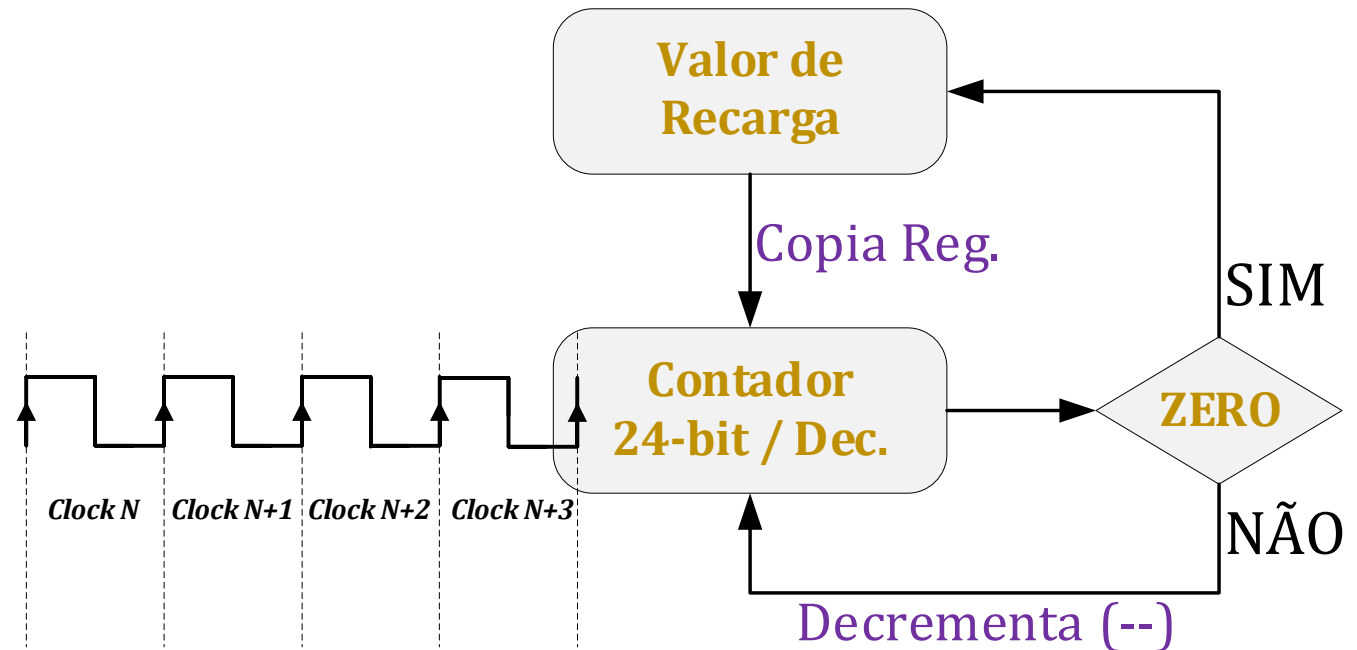
EXPORT __Vectors
__Vectors
    DCD StackMem + Stack           ; address ISR
    DCD Reset_Handler             ; 0x00000000 Top of Stack
    DCD NMI_Handler               ; 0x00000004 Reset Handler
    DCD HardFault_Handler         ; 0x00000008 NMI Handler
    DCD MemManage_Handler         ; 0x0000000C Hard Fault Handler
    DCD BusFault_Handler          ; 0x00000010 MPU Fault Handler
    DCD UsageFault_Handler        ; 0x00000014 Bus Fault Handler
    ...
    DCD SVC_Handler              ; 0x00000018 Usage Fault Handler
    DCD SVC_Handler              ; 0x0000002C SVCall Handler
    DCD DebugMon_Handler         ; 0x00000030 Debug Monitor Handler
    DCD 0                        ; 0x00000034 Reserved
    DCD PendSV_Handler           ; 0x00000038 PendSV Handler
    DCD SysTick_Handler          ; 0x0000003C SysTick Handler
    DCD GPIOPortA_Handler        ; 0x00000040 GPIO Port A
    DCD GPIOPortB_Handler        ; 0x00000044 GPIO Port B
    DCD GPIOPortC_Handler        ; 0x00000048 GPIO Port C
    DCD GPIOPortD_Handler        ; 0x0000004C GPIO Port D
    DCD GPIOPortE_Handler        ; 0x00000050 GPIO Port E
    ...
    
```



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

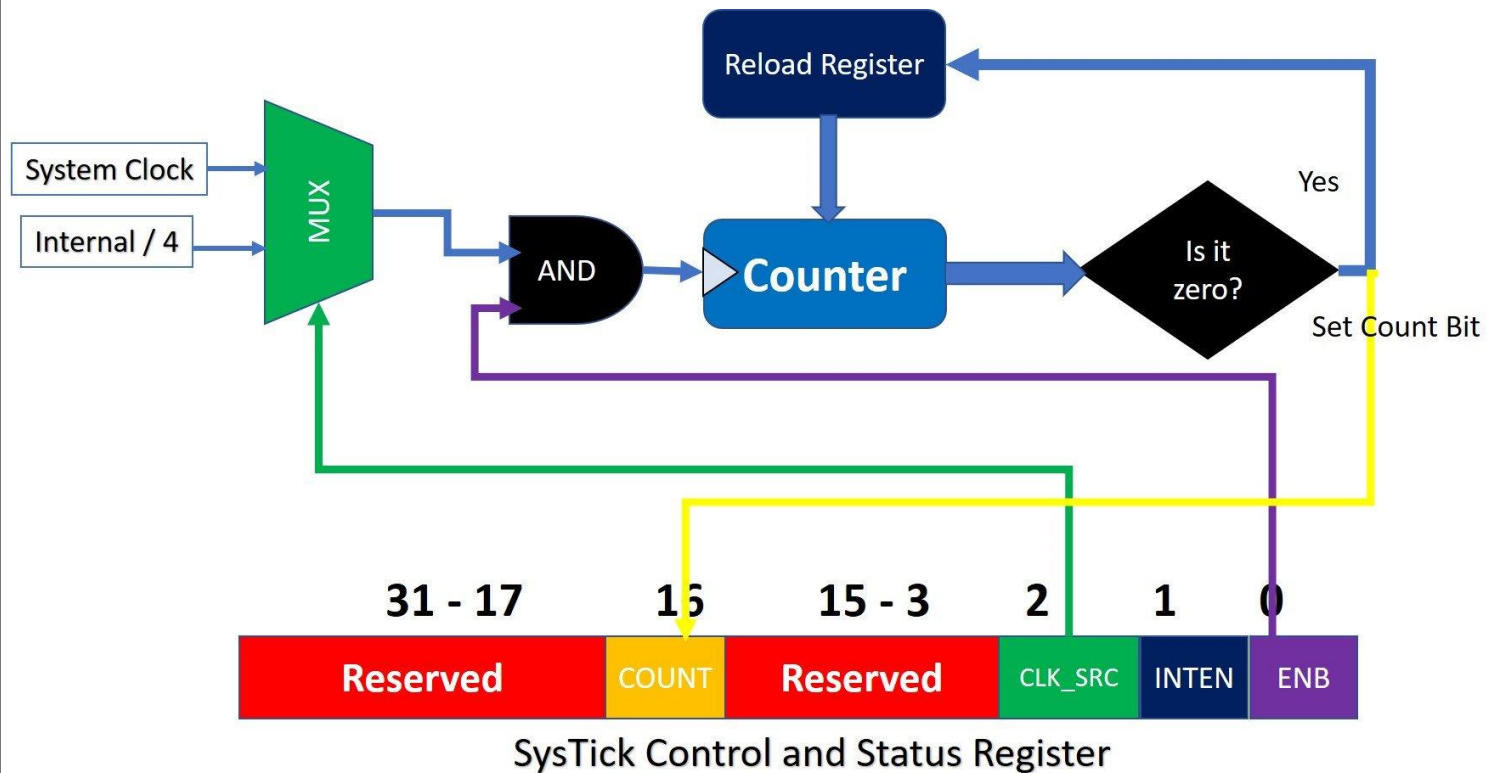
# Arquitetura:

## SysTick – Diagrama de Blocos



# Arquitetura:

## SysTick



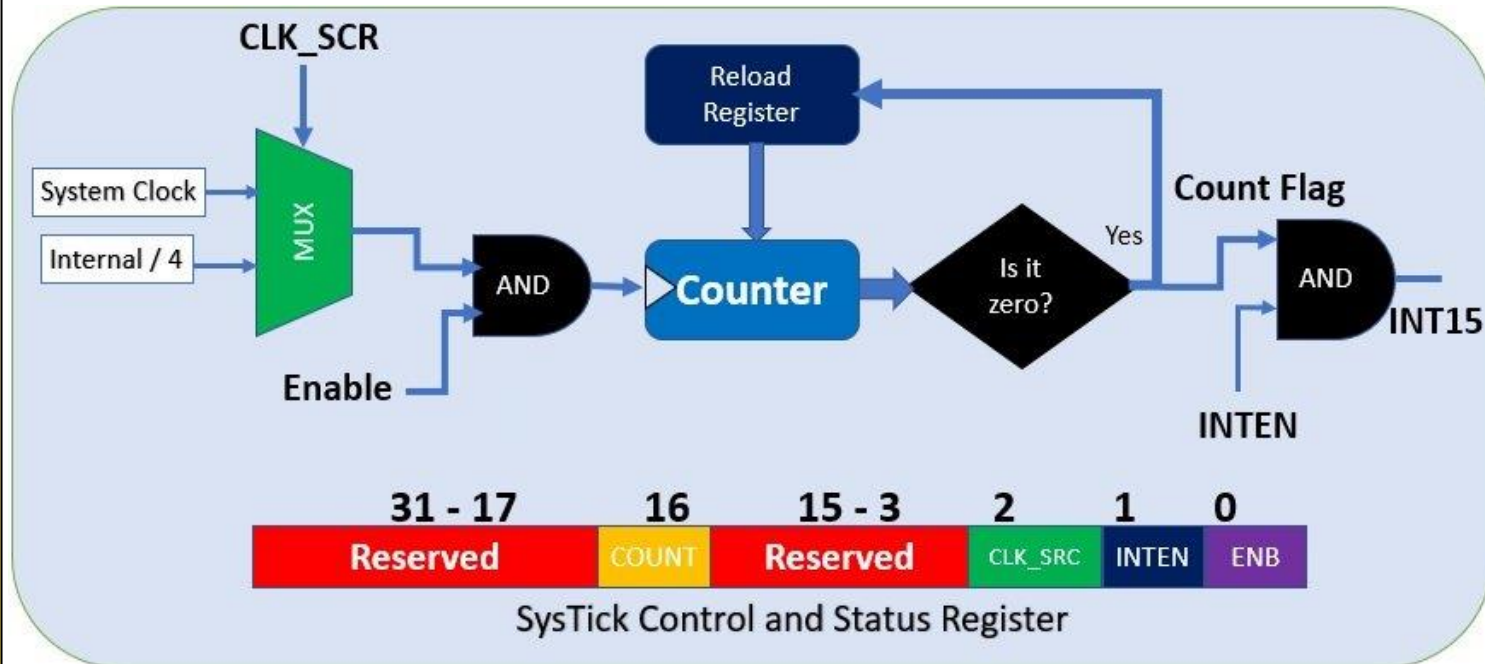
Ref. \*

# Arquitetura:

## SysTick



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências



Ref. \*





- Arquitetura
- Exceções
- NVIC
- **Systick**
- Periféricos
- Referências

# SysTick - Registradores

STCTRL - SysTick Control and Status Register - 0xE000E010 - pg. 150																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reservado															C O U N T	Reservado															C L K S R C	I N T E R N A L	E N A B L E
STRELOAD - SysTick Reload Value Register - 0xE000E014 - pg. 152																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reservado								Reload value - (1 a 16777215)																									
STCURRENT - SysTick Current Value Register - 0xE000E018 - pg. 153																																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Reservado								Current value																									



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## SysTick - Equações

$$Período\_Clock = \frac{1}{Frequência\_Clock}$$

$$Valor\_Reload = \left( \frac{Tempo}{Período\_Clock} \right) - 1$$

$$Tempo = (Valor\_Reload + 1) * Período\_Clock$$

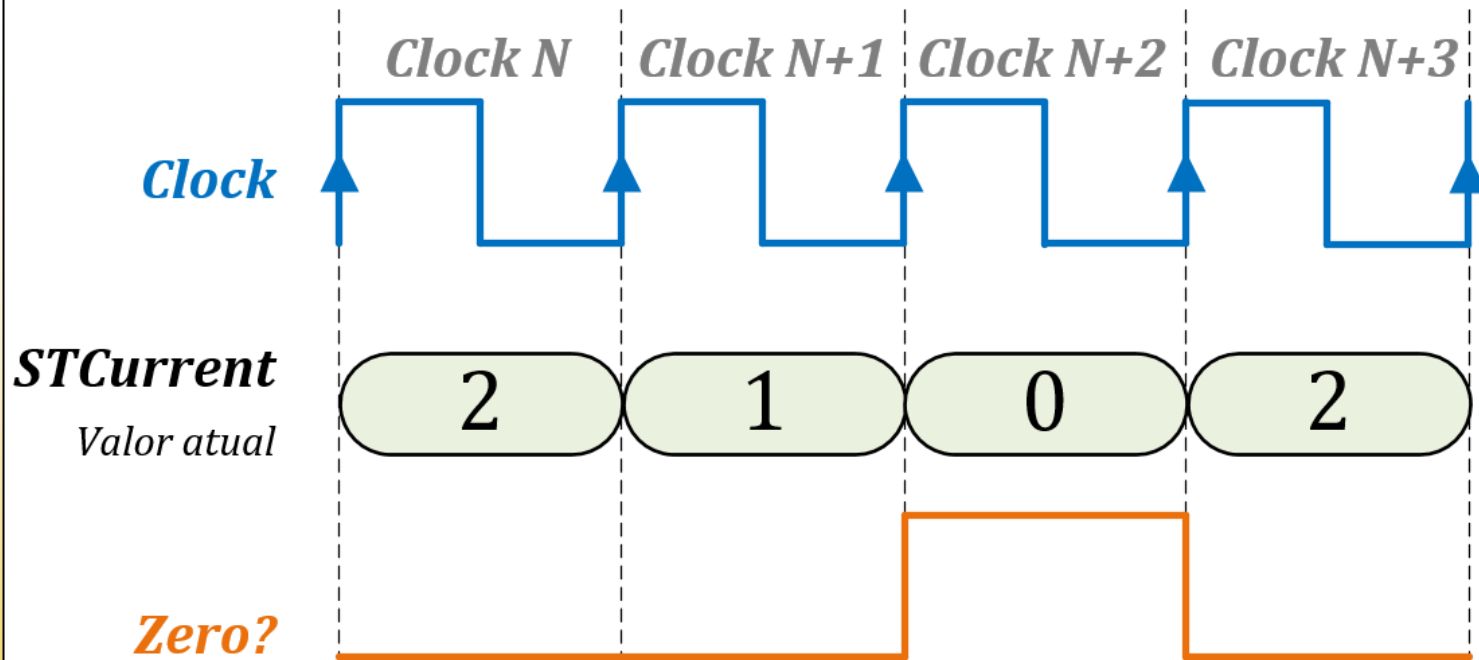
**Exercício:** Calcular o Valor de *Reload* para o Tempo de 20ms e *Clock* de 25MHz



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## SysTick - Exemplo



**Exemplo:** Contagem com carga igual a 2



- Arquitetura
- Exceções
- NVIC
- Systick
- Periféricos
- Referências

# Arquitetura:

## SysTick - Configuração

- Passos para configurar o **SysTick** ⇒ 5 itens
1. Desabilitar o contador ⇒ **ENABLE** deve ser **0** ⇒ Registrador **STCTRL**;
  2. Habilitar ou Desabilitar interrupção ⇒ **INTEN** ⇒ Registrador **STCTRL**;
  3. Selecione a linha de **Clock** de entrada ⇒ **CLKSCR** ⇒ Registrador **STCTRL**;
  4. Carregue o **valor** da contagem no registrador **STRELOAD**;
  5. Inicialize o valor atual do **STCURRENT** com um valor, isso **habilita novamente** o contador.



- Arquitetura
- Exceções
- NVIC
- **Systick**
- Periféricos
- Referências

# Arquitetura:

## SysTick - Configuração

- 📖 Passos para configurar o **SysTick** com **interrupção** ⇒ 6 itens:
1. Idem anterior;
  2. Idem anterior;
  3. Idem anterior;
  4. Idem anterior;
  5. Idem anterior;
  6. Configurar também o **NVIC** e a **ISR** no vetor de interrupção.



- Arquitetura
- Exceções
- NVIC
- **Systick**
- Periféricos
- Referências

# Arquitetura:

## SysTick

### Video 1: *Pooling*

<https://youtu.be/UTfdAu6GUIA>

### Video 2: *Interrupt*

<https://youtu.be/DkACuJNI4II>

**Exercício:** Adaptar e executar os códigos dos dois vídeos no KIT: **EK-TM4C1294XL**



- Arquitetura
- Exceções
- NVIC
- SysTick
- **Periféricos**
- Referências

# Arquitetura:

## Periféricos: TM4C1294NCPDT

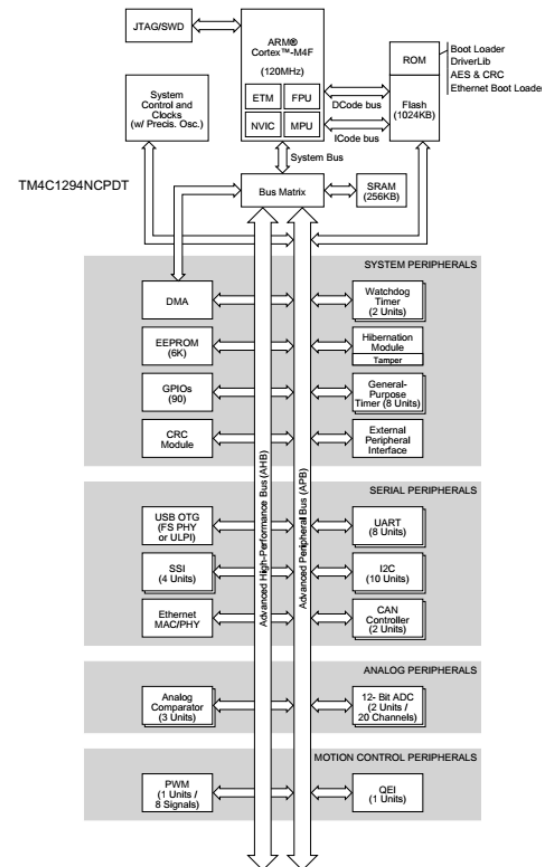
- Os **periféricos** dependem do **fabricante** e ele que define suas funcionalidades, capacidades e etc. Entre eles temos:
1. **ADC / DAC** – sensores e atuadores em geral;
  2. **UART, SPI, I2C, USB, Ethernet, CAN** – comunicações em geral;
  3. **Timers / Counters / WatchDog** – Contar tempo ou eventos;
  4. **PWM** – Controlar largura de pulso para diversos atuadores;
  5. **GPIO** – Entradas e saídas digitais, diversos usos, cuidar com nível de V e I.
  6. **Comparador Analógico** – Interação com eletrônica analógica, cuidar com nível de V e I.
  7. **DMA** – Acesso direto a memória;
  8. **EEPROM** – Armazenamento de informações;
  9. **CRC** – *hardware* para fazer as contas do CRC;



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Periféricos: TM4C1294NCPDT



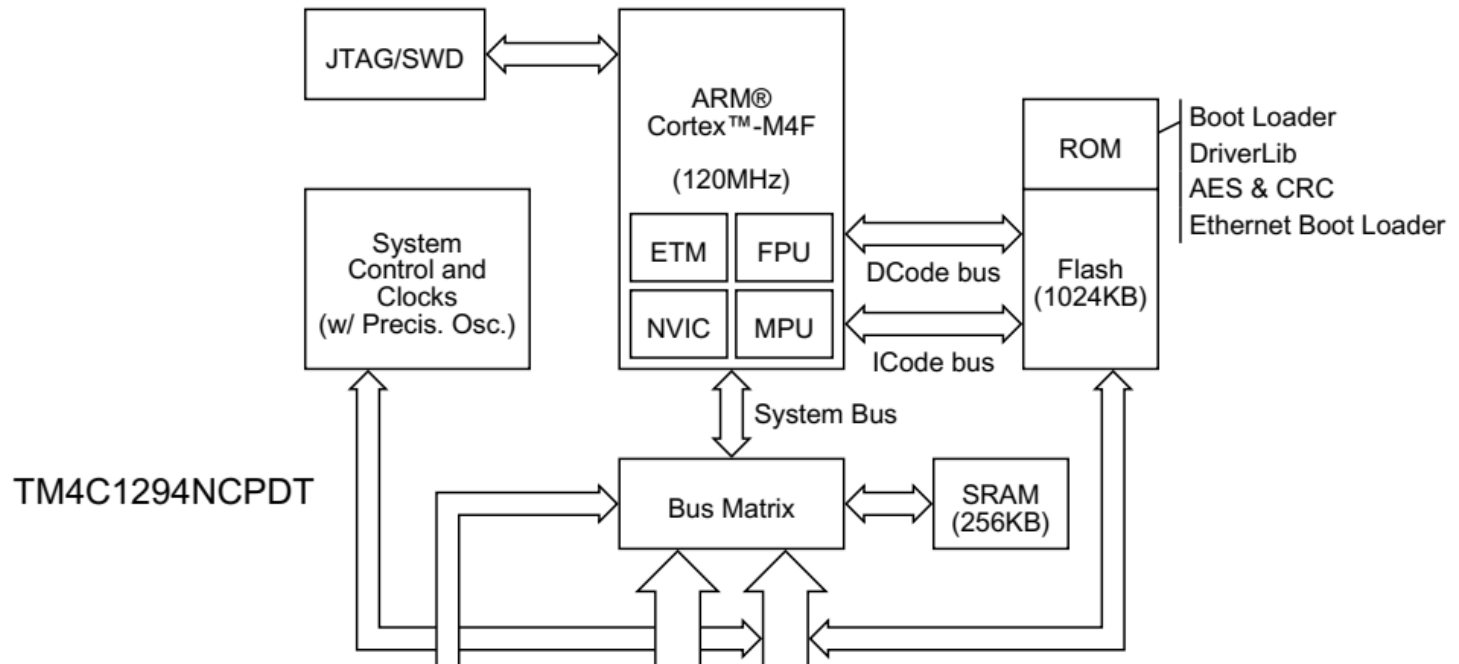




- Arquitetura
- Exceções
- NVIC
- Systick
- **Periféricos**
- Referências

# Arquitetura:

## Periféricos: TM4C1294NCPDT

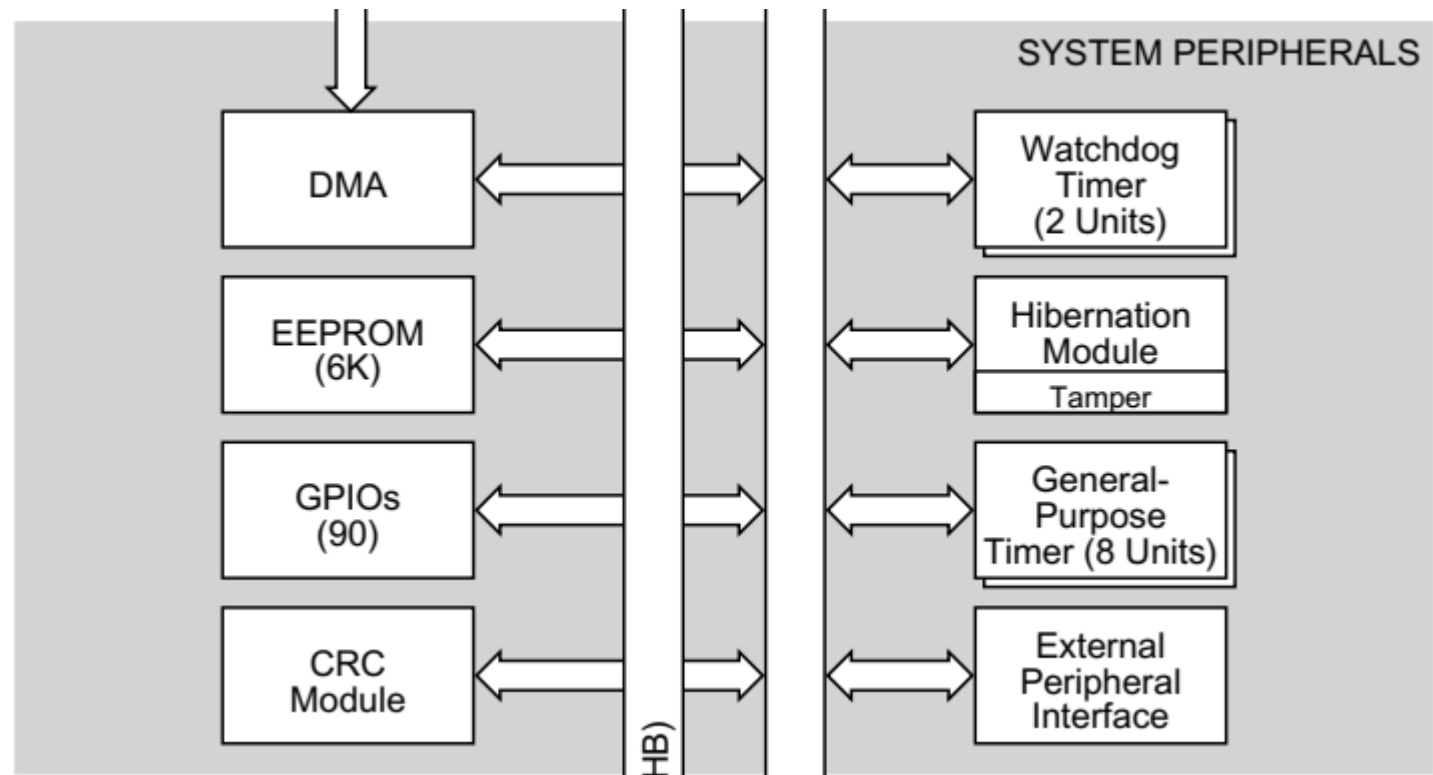




- Arquitetura
- Exceções
- NVIC
- SysTick
- **Periféricos**
- Referências

# Arquitetura:

## Periféricos: TM4C1294NCPDT

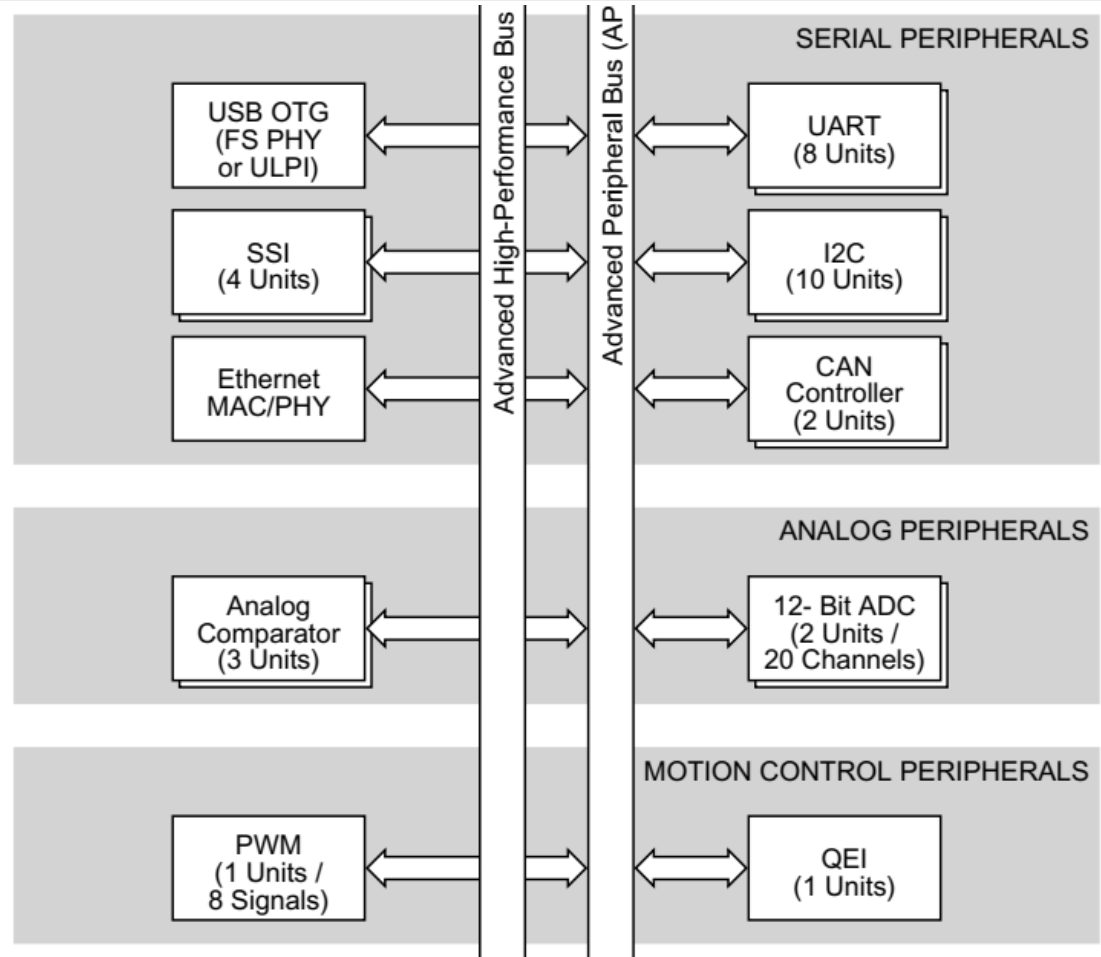




- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Periféricos: TM4C1294NCPDT



*QEI= Quadrature Encoder Interface*



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Arquitetura:

## Periféricos: TivaWare



<https://www.ti.com/tool/SW-TM4C>



- Arquitetura
- Exceções
- NVIC
- SysTick
- Periféricos
- Referências

# Referências:

## Extras:

### Laboratório 01:

[http://www.elf74.daeln.com.br/Labs/Keil\\_Lab1.pdf](http://www.elf74.daeln.com.br/Labs/Keil_Lab1.pdf)

\* Refs ↔ Renesas.com, Pixabay.com, wikimedia.org, flickr, community.arm.com, Undergraduated course Renesas / CWS71-Sistemas Embarcados (Prof. Douglas P. B. Renaux e Robson Linhares), ytchannel Gustavo W. Dernardin, *ARMv7-M Architecture Reference Manual*, CSW40-Sistemas Microcontrolados – Prof. Peron, [toshiba.semicon-storage.com](http://toshiba.semicon-storage.com), [microncontrollerslab.com](http://microncontrollerslab.com), [lfelectronics.com.br](http://lfelectronics.com.br)